

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10163846 A**

(43) Date of publication of application: **19.06.98**

(51) Int. Cl.

H03K 19/0175
H01L 21/8238
H01L 27/092

(21) Application number: **08319720**

(71) Applicant: **YAMAHA CORP**

(22) Date of filing: **29.11.96**

(72) Inventor: **NORO MASAO**

(54) **DRIVING CIRCUIT**

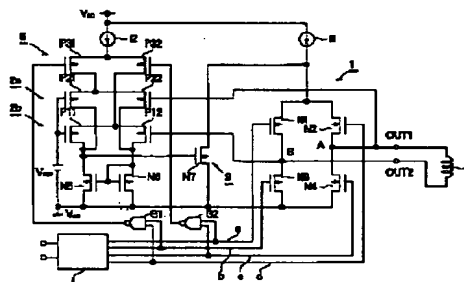
disturbed even with use of the power voltage of a low level.

(57) Abstract:

COPYRIGHT: (C)1998,JPO

PROBLEM TO BE SOLVED: To provide a driving circuit which can surely perform the voltage feedback control even with use of the power voltage of a low level and is useful to an S/T point driver, etc., by using both differential amplifier circuits which are selectively activated and inactivated by a switch circuit and without using any transfer gate for the feedback control of the output voltage.

SOLUTION: When the transistors TR N2 and N3 are simultaneously turned on and driven, the output voltage is generated at an output node A. Then the output of a NAND gate G1 is set at L and the TR P31 and P32 of a switch circuit 5 are turned on and off respectively. As a result, a differential amplifier circuit 2a is activated and the voltage of the node A is applied. A TR N7 is controlled by the output and the feedback control is carried out to set the output voltage at the reference voltage Vref. When the TR N1 and N4 are turned on and driven, the output of a NAND gate G2 is set at L. Then a differential amplifier circuit 2b is activated and the feedback control is carried out for the output voltage of an output node B. As a result, the feedback control of the output voltage is never



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-163846

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.⁵

識別記号

F I

H 0 3 K 19/0175

H 0 3 K 19/00

1 0 1 F

H 0 1 L 21/8238

H 0 1 L 27/08

3 2 1 L

27/092

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平8-319720

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(22) 出願日 平成8年(1996)11月29日

(72) 発明者 野呂 正夫

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

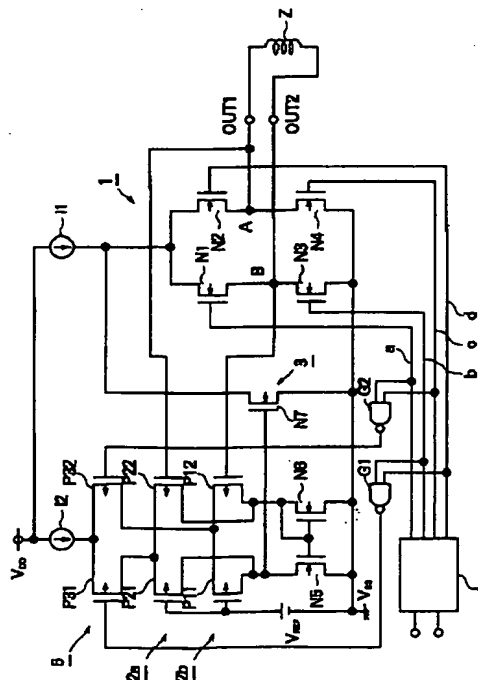
(74) 代理人 弁理士 伊丹 勝

(54) 【発明の名称】 駆動回路

(57) 【要約】

【課題】 低電圧電源を用いた場合にも電圧帰還制御が確実に行われるようにした駆動回路を提供する。

【解決手段】 出力端子OUT1, OUT2を有し、これらの出力端子を介して負荷に一定電圧を与える駆動回路であって、定電流源I1により駆動されるトランジスタブリッジ回路1と、このブリッジ回路1のトランジスタを選択的に駆動する選択回路4と、差動入力端子の一方に基準電圧VREFが与えられ他方にブリッジ出力ノードA, Bがそれぞれ接続されて共通の出力端子を持つ差動増幅回路2a, 2bと、これらの差動増幅回路2a, 2bをブリッジ回路1のトランジスタ選択に応じて活性化するスイッチ回路5と、差動増幅回路2a, 2bの出力により導通度が制御されて定電流源I1の出力電流をブリッジ回路1の出力が基準電圧VREFになるまでバイパスさせるバイパス回路3とを有する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 負荷につながる二つの出力端子を有し、これらの出力端子を介して前記負荷に所定のタイミングで極性が切り替わる一定電圧を与える駆動回路であって、

4個の電流切換えスイッチ素子がブリッジ接続されて前記二つの出力端子につながる二つのブリッジ出力ノードを備えた、定電流源により駆動されるブリッジ回路と、このブリッジ回路の4個の電流切換えスイッチ素子を選択的に駆動する選択回路と、

差動入力端子の一方に基準電圧が与えられ他方に前記ブリッジ回路の二つのブリッジ出力ノードの一方が接続された第1の差動増幅回路と、

差動入力端子の一方に前記基準電圧が与えられ他方に前記ブリッジ回路の二つのブリッジ出力ノードの他方が接続されると共に前記第1の差動増幅器の出力端子と共通の出力端子を持つ第2の差動増幅回路と、

これら第1および第2の差動増幅回路を前記ブリッジ回路の電流切換えスイッチ素子選択に応じて選択的に電源に切換え接続するスイッチ回路と、

前記第1および第2の差動増幅回路の出力により導通度が制御されて前記定電流源の出力電流を前記ブリッジ回路の出力が前記基準電圧になるまでバイパスさせるバイパス回路とを備えたことを特徴とする駆動回路。

【請求項2】 前記ブリッジ回路は前記電流切換えスイッチ素子としてnチャネルMOSトランジスタを用いて構成され、

前記第1および第2の差動増幅回路は、nチャネルMOSトランジスタによるカレントミラー能動負荷を共有して、それぞれpチャネルMOSトランジスタによる差動トランジスタ対を有し、かつ前記スイッチ回路は前記各差動トランジスタ対の共通ソースと電源との間に設けられたpチャネルMOSトランジスタにより構成されていることを特徴とする請求項1記載の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ISDNユーザ・網インタフェースに用いられるS/T点ドライバ等として有用な駆動回路であって、負荷につながる二つの出力端子を有し、これらの出力端子を介して前記負荷に所定のタイミングで極性が切り替わる一定電圧を与える駆動回路に関する。

【0002】

【従来の技術】従来、ISDNのS/T点ドライバとして、図3に示すものが知られている。4個のnチャネルMOSトランジスタ（以下、NMOSトランジスタ）N1～N4を用いて、定電流源I1により駆動されるブリッジ回路1が構成され、このブリッジ回路の二つのブリッジ出力ノードA、Bが負荷Zにつながる二つのライン出力端子OUT1、OUT2に接続される。ブリッジ回

路1のNMOSトランジスタN1～N4は、選択回路4によって、あるタイミングでN1とN4が同時にオンし、別のタイミングではN2とN3が同時にオンするという制御が行われ、これにより極性が切換えられた信号電圧が負荷Zに供給される。定電流源I1は、負荷駆動に必要な電流以上の電流が流れるように構成されている。

【0003】出力端子OUT1、OUT2から負荷Zに供給される出力電圧を常に一定の基準電圧VREFに保つために、出力電圧に応じて定電流源I1の余分な電流をバイパスさせるバイパス回路3としてNMOSトランジスタN7が設けられ、このNMOSトランジスタN7の導通度を帰還制御するための差動増幅回路2が設けられている。差動増幅回路2は、NMOSトランジスタN5、N6によるカレントミラー能動負荷と、pチャネルMOSトランジスタ（以下、PMOSトランジスタ）P1、P2による差動トランジスタ対を有する。差動トランジスタ対の一方の入力端子には基準電圧VREFが与えられ、他方の入力端子には、ブリッジ回路1の二つのブリッジ出力ノードA、Bのうち電圧制御すべきHレベル側の出力電圧が与えられる。これら出力ノードA、Bの出力電圧のいずれかを選択して差動増幅回路2に与えるため、トランスファゲートとしてのNMOSトランジスタN8、N9が設けられている。

【0004】いま、ブリッジ回路1のNMOSトランジスタN2、N3がオン、NMOSトランジスタN1、N4がオフとなった場合を考える。このとき、出力端子OUT2は接地され、出力端子OUT1に出力電圧が得られる。このとき同時に、トランスファゲートのNMOSトランジスタN8がオンして、出力端子OUT1の電圧は差動増幅回路2に帰還され、出力電圧が基準電圧VREFに等しくなるまで、NMOSトランジスタN7が定電流源I1の負荷駆動に必要な電流以上の電流をバイパスする。NMOSトランジスタN1、N4がオンの時は、NMOSトランジスタN9を介して出力電圧が差動増幅回路2に帰還され、同様の出力電圧制御がなされる。

【0005】

【発明が解決しようとする課題】最近、このようなラインドライバを、5V電源、3V電源いずれでも用いられるLSIに組込みたいという要求が、一般のLSIの低電源化という要求とともに強くなっている。しかし、図3の構成では、低電源化したときにトランスファゲートとしてのNMOSトランジスタN8、N9が所望の電圧転送動作をできなくなる、という問題がある。

【0006】この問題を具体的に説明する。NMOSトランジスタN8、N9は、ソース、ドレインが中間電位をとるトランスファゲートとして用いられている。いまの場合、NMOSトランジスタN8、N9のPMOSトランジスタP2側をソースと考える。電源電圧をVDD、NMOSトランジスタN8、N9のしきい値をVTHとす

ると、これらのNMOSトランジスタN8、N9のゲートを電源電圧VDDで駆動したとき、ソース電位は、VDD-VTHまで上昇できる。例えば、VDD=5V、VTH=2V、VREF=2Vとしたとき、ソースは3Vまで上昇できるから、出力端子OUT1、OUT2を基準電圧VREFに保つ動作をするには問題はない。しかし、VDD=3Vとした場合には、出力端子OUT1またはOUT2が2V以上であっても、ソースがVDD-VTH=1Vまで上昇するとNMOSトランジスタN8、N9はオフになってしまう。言い換えれば、NMOSトランジスタN8、N9は出力の帰還制御に必要な電圧を差動増幅回路2に転送できなくなる。

【0007】この発明は、上記事情を考慮してなされたもので、トランスファゲートを用いることなく、従って低電圧電源を用いた場合にも電圧帰還制御が確実に行われるようにした駆動回路を提供することを目的としている。

【0008】

【課題を解決するための手段】この発明は、負荷につながる二つの出力端子を有し、これらの出力端子を介して前記負荷に所定のタイミングで極性が切り替わる一定電圧を与える駆動回路であって、4個の電流切換えスイッチ素子がブリッジ接続されて前記二つの出力端子につながる二つのブリッジ出力ノードを備えた、定電流源により駆動されるブリッジ回路と、このブリッジ回路の4個の電流切換えスイッチ素子を選択的に駆動する選択回路と、差動入力端子の一方に基準電圧が与えられ他方に前記ブリッジ回路の二つのブリッジ出力ノードの一方が接続された第1の差動増幅回路と、差動入力端子の一方に前記基準電圧が与えられ他方に前記ブリッジ回路の二つのブリッジ出力ノードの他方が接続されると共に前記第1の差動増幅器の出力端子と共通の出力端子を持つ第2の差動増幅回路と、これら第1および第2の差動増幅回路を前記ブリッジ回路の電流切換えスイッチ素子選択に応じて選択的に電源に切換え接続するスイッチ回路と、前記第1および第2の差動増幅回路の出力により導通度が制御されて前記定電流源の出力電流を前記ブリッジ回路の出力が前記基準電圧になるまでバイパスさせるバイパス回路とを備えたことを特徴としている。

【0009】この発明において好ましくは、前記ブリッジ回路は前記電流切換えスイッチ素子としてnチャネルMOSトランジスタを用いて構成され、前記第1および第2の差動増幅回路は、nチャネルMOSトランジスタによるカレントミラー能動負荷を共有して、それぞれpチャネルMOSトランジスタによる差動トランジスタ対を有し、かつ前記スイッチ回路は前記各差動トランジスタ対の共通ソースと電源との間に設けられたpチャネルMOSトランジスタにより構成されていることを特徴とする。

【0010】この発明においては、出力電圧の選択的な

帰還制御のために従来のようなトランスファゲートを用いず、ブリッジ回路の二つの出力ノードが直接帰還接続される第1、第2の二つの差動増幅回路が用いられる。これら二つの差動増幅回路は、スイッチ回路により、ブリッジ回路の出力に応じて一方が電源に接続された活性状態、他方が電源から切り離された不活性状態とされる。そして活性化された差動増幅回路により、ブリッジ回路の定電流源の余分な電流のバイパス制御がなされ、従来と同様のブリッジ回路の出力電圧の帰還制御がなされる。従ってこの発明によれば、電源電圧に拘らず、ブリッジ回路の出力電圧は何等減衰を受けることなく差動増幅回路に転送されるから、電源が低電圧化された場合にも出力電圧を一定に保つ帰還制御が可能となる。

【0011】

【発明の実施の形態】以下、図面を参照して、この発明の実施例を説明する。図1は、この発明の一実施例に係るラインドライバの構成である。図3の従来例と対応する部分には、図3と同一符号を付して詳細な説明は省略する。この実施例では、図3におけるNMOSトランジスタN8、N9によるトランスファゲートを用いず、ブリッジ回路1の二つの出力ノードA、Bがそれぞれ帰還接続される第1、第2の差動増幅回路2a、2bが設けられている。

【0012】第1、第2の差動増幅回路2a、2bは、NMOSトランジスタN5、N6によるカレントミラー能動負荷を共用して、それぞれPMOSトランジスタP21、P22の差動トランジスタ対と、PMOSトランジスタP11、P12の差動トランジスタ対を持つCMOS増幅回路である。PMOSトランジスタP21、P11のドレインは共通にNMOSトランジスタN5のドレインに接続され、これらのゲートには共通に基準電位VREFが与えられる。また、PMOSトランジスタP22、P12のドレインは共通にNMOSトランジスタN6のドレインに接続され、各ゲートにはそれぞれブリッジ回路1の出力ノードA、Bからの配線が接続される。

【0013】一方の差動トランジスタ対のPMOSトランジスタP21、P22の共通ソースは、PMOSトランジスタP31を介して電源VDD側の電流源I2に接続され、他方の差動トランジスタ対のPMOSトランジスタP11、P12の共通ソースは、PMOSトランジスタP32を介して同じ電流源I2に接続されている。これらのPMOSトランジスタP31、P32は、第1、第2の差動増幅回路2a、2bを選択的に活性化するためのスイッチ回路5を構成しており、選択回路4の出力により制御される。即ち、ブリッジ回路1のNMOSトランジスタN2、N3を駆動する選択回路4の出力b、dが同時に“H”の時に“L”出力を出すNANDゲートG1により、PMOSトランジスタP31のゲートが駆動され、ブリッジ回路1のNMOSトランジスタN1、N4を駆動する選択回路4の出力a、cが同時に“H”の時に

【0016】この実施例の場合、ブリッジ回路1の出力ノードA、Bはそれぞれ、トランスファゲートを介することなく直接第1、第2の差動増幅回路2a、2bの入力端子に入るから、電源を低電圧化しても、出力電圧の帰還制御は妨げられない。しかも第1、第2の差動増幅回路2a、2bはCMOS差動増幅回路であるから、基

1…ブリッジ回路、2 a, 2 b…第1, 第2の差動増幅回路、3…バイパス回路、4…選択回路、5…スイッチ回路、OUT 1, OUT 2…ライン出力端子。

The circuit diagram shows a differential amplifier with two input stages. The first stage consists of a differential pair of PNP transistors P1 and P2, with PNP load transistors P31 and P32. The second stage consists of a differential pair of NPN transistors N1 and N2, with NPN load transistors N3 and N4. The circuit is powered by a positive supply V_{cc} and a negative supply V_{ee} . A feedback loop is formed by a current source I1 and a resistor R1. A control block 4 is connected to the circuit via lines a, b, c, and d. The output of the amplifier is taken from the collector of N1 (labeled A) and the collector of N2 (labeled B), with outputs OUT1 and OUT2. The circuit is labeled with various components: P1, P2, P31, P32, N1, N2, N3, N4, N5, N6, N7, I1, I2, R1, R2, R3, R4, R5, R6, R7, R8, R9, R10, R11, R12, R13, R14, R15, R16, R17, R18, R19, R20, R21, R22, R23, R24, R25, R26, R27, R28, R29, R30, R31, R32, R33, R34, R35, R36, R37, R38, R39, R40, R41, R42, R43, R44, R45, R46, R47, R48, R49, R50, R51, R52, R53, R54, R55, R56, R57, R58, R59, R60, R61, R62, R63, R64, R65, R66, R67, R68, R69, R70, R71, R72, R73, R74, R75, R76, R77, R78, R79, R80, R81, R82, R83, R84, R85, R86, R87, R88, R89, R90, R91, R92, R93, R94, R95, R96, R97, R98, R99, R100.

The circuit diagram shows a 2N2T CMOS structure with two outputs, OUT1 and OUT2. It consists of three stages of PMOS and NMOS transistors. The first stage (labeled 1) has PMOS transistors P11, P12 and NMOS transistors N1, N2, N3, N4. The second stage (labeled 2a) has PMOS transistors P21, P22 and NMOS transistors N51, N52. The third stage (labeled 2b) has PMOS transistors P31, P32 and NMOS transistors N61, N62. The circuit is powered by V_{DD} and V_{SS} . A clock signal ϕ is applied to the gates of the NMOS transistors in the second and third stages. A control signal $G1$ is applied to the gates of the PMOS transistors in the second stage, and $G2$ is applied to the gates of the PMOS transistors in the third stage. The outputs OUT1 and OUT2 are taken from the drains of the PMOS transistors in the first stage. A block labeled 4 is connected to the gates of the PMOS transistors in the first stage. A block labeled 5 is connected to the gates of the PMOS transistors in the second and third stages. A block labeled 1 is connected to the gates of the NMOS transistors in the first stage. A block labeled 2a is connected to the gates of the NMOS transistors in the second stage. A block labeled 2b is connected to the gates of the NMOS transistors in the third stage. A block labeled 3 is connected to the gates of the PMOS transistors in the first stage.

[illegible]

BEST AVAILABLE COST